

УДК 681.3

Метод и средства высокоуровневой разработки и генерации синтезируемых VHDL описаний аппаратного обеспечения вычислительных систем

В.А.ЛИТВИНОВ

1. Введение

В настоящее время, когда одна ИС может содержать сотни тысяч и даже миллионы логических вентилях, разработчику становится трудно оценить характеристики сложной системы при создании самой ИС или схемы построенной на базе подобных ИС.

По причине увеличения сложности разрабатываемых систем возрастают требования к характеристикам средств проектирования. Необходимы более прогрессивные подходы к разработке цифровых систем, а также средства по их созданию, симуляции и отладке.

Создание новых методов и средств разработки цифровых систем позволит заметно сократить сроки разработки такого рода проектов.

2. Метод высокоуровневого проектирования

Основная идея предлагаемого метода заключается в последовательной реализации следующих шагов разработки аппаратного обеспечения:

1. Создание интерактивной среды отладки для динамической проверки состояния свойств реализованного проекта в текущий момент. Для реализации среды отладки используются различные виды устройств, имитирующие ввод/вывод (клавиатура, кнопочные панели, индикаторы, дисплеи), а также отладочные средства комплекса, позволяющие изменять значения переменных (прямо на схеме, в окне просмотра дампа памяти и др);

2. Создание пакетной среды отладки для организации перманентного регрессионного (на всём протяжении разработки) тестирования проекта [1].

3. Разработка высокоуровневой модели для окончательного уточнения технического задания на разработку, а также автоматизации создания среды тестирования и непосредственно тестов. Метод предусматривает создание поведенческих моделей вычислительных устройств на произвольном языке программирования высокого уровня [2].

4. Подготовка к распределённой коллективной разработке для повышения производительности команды разработчиков в результате распараллеливания создания независимых компонент системы.

5. Интерактивная асинхронная декомпозиция создаваемого аппаратного обеспечения – детализация отдельных блоков проектируемого устройства до синтезируемых компонент [1, 2].

6. Регрессионное тестирование, предусматривающее процесс верификации разрабатываемого проекта на всех этапах разработки как «сверху-вниз», так и «снизу-вверх» с помощью разработанных интерактивных и пакетных сред тестирования.

7. Автоматическая генерация синтезируемого описания на языке VHDL по схеме цифровых устройств.

3. Создание интерактивной среды отладки

Процесс создания интерактивных сред отладки подразумевает создание схемы устройства, состоящей из следующих элементов: функциональных блоков устройства, реализу-

щих вычислительный алгоритм; устройств ввода, для подачи входных воздействий; устройств вывода, для обеспечения визуализации результата симуляции функциональной части устройства.

С помощью устройств ввода производится управление функционированием устройства в процессе моделирования. Каждое устройство вывода в процессе симуляции может создавать окна ввода данных в удобном для разработчика виде. В результате можно увидеть привычные семисегментные индикаторы, дисплей, терминалы, точечные и линейные шкалы, кнопочные панели и т.д.

Для реализации «внешних» моделей компонент используются языки высокого уровня, позволяющие создавать COM объекты [2] во внешних динамически подгружаемых библиотеках (DLL – Dynamic Link Library).

4. Создание пакетной среды тестирования

Средства создания пакетной среды тестирования предоставляет разработчику возможность осуществлять проверку работы устройства на любом уровне детализации, имея для всех устройств поведенческие высокоуровневые модели (не обязательно синтезируемые) или схему.

Для реализации возможности пакетного тестирования предусмотрены языки тестовых воздействий и сценария.

С помощью языка тестовых воздействий разработчик имеет возможность указать тестовые воздействия, подаваемые на входы устройства, и эталонные значения для выходов. Каждая команда также определяет момент модельного времени, в которое происходит её активизация.

Полученный файл сценария можно использовать для пакетного тестирования проектов.

5. Интерактивная иерархическая декомпозиция

Декомпозиция разрабатываемого устройства или его блока осуществляется несколькими альтернативными способами. Во-первых, это создание схемы с использованием синтезируемых компонент. Таковыми являются устройства из базовой параметризованной библиотеки устройств «Standard.prd» [1,2].

В состав библиотеки входят следующие группы устройств: логика, комбинационные схемы, константы, генераторы и устройства с памятью.

Второй способ – проектирование сверху-вниз. Разработчик создаёт схему на самом верхнем уровне и, постепенно детализуя каждый из блоков, «спускается» до синтезируемых библиотечных компонент.

Третий способ – это создание схемы при помощи виртуальных устройств. Таковыми являются разрабатываемые поведенческие модели на языках высокого уровня.

Разработка аппаратного обеспечения производится в средствах редактирования комплекса HLCCAD (High Level Chip Computer-Aided Design). Разработка программного обеспечения в системе Winter – универсальная среда разработки программного обеспечения встраиваемых систем. IEESD-2000 является результатом интеграции средств разработки аппаратного обеспечения HLCCAD и программного обеспечения Winter.

6. Заключение

Предложенные метод и средства высокоуровневой разработки и верификации синтезируемых VHDL описаний аппаратного обеспечения вычислительных систем отличаются от известных методов следующей новизной:

- эффективной интеграцией в симулирующую систему моделей на языках программирования высокого уровня, отличающейся: специальными средствами взаимодействия с моделями МК/МП; средствами генерации схем;
 - языком сценария пакетного тестирования и языком описания тестовых воздействий.
- Практическая значимость метода заключается в предоставляемых возможностях:
- моделировании гетерогенных мультипроцессорных систем;
 - совместной отладке программного и аппаратного обеспечения вычислительных систем;
 - интерактивном и пакетном тестировании на протяжении всего цикла разработки;
 - распределённой коллективной разработке.

Abstract

We described a method and tools for a high level development of hardware systems.

Литература

1. В. А. Литвинов, Система HLCCAD высокоуровневого проектирования цифровых устройств, Автоматизация проектирования дискретных систем: Материалы 3-й международной конференции, 10-12 ноября, 1999 г., Акад. Наук Беларуси, Институт технической кибернетики, Минск, 3 (1999), С. 154–159.
2. В. А. Литвинов, Метод создания базовых моделей для системы высокоуровневого проектирования цифровых устройств HLCCAD. Новые математические методы и компьютерные технологии в проектировании, производстве и научных исследованиях: Материалы III Республиканской научно-технической конференции студентов и аспирантов, 13-18 марта 2000 г., Гомель, 2000, Часть II, С. 76–78.

Поступило 15.05.2002