

Тенденции развития методов и средств автоматизации проектирования встроенных цифровых систем по материалам DATE 2002

В Париже 4–8 марта 2002 года состоялась конференция и выставка Design, Automation and Test in Europe (DATE). Обзор материалов этого события прекрасно характеризует тенденции развития средств автоматизации проектирования встроенных цифровых систем.

Михаил Долинский

dolinsky@gsu.unibel.by

Введение

DATE 2002 начала свою работу с вручения наград лучшим докладам DATE 2001:

- Trace-driven application modeling for system-level performance analysis. R. Marculescu and A. Nandi, Carnegie Mellon U, USA;
- SystemC-SV — an extension of SystemC for mixed multi-level communication modelling and interface-based system design. R. Siegmund and D. Mueller, TU Chemnitz, D;
- Efficient test data compression and decompression for system-on-a-chip using integral scan chains and Golomb coding. A. Chandra and K. Chakrabarty, Duke U, USA.

Уже по названиям докладов, признанных лучшими, видно, что европейское EDA-сообщество ориентировано на разработку средств высокоуровневой автоматизации проектирования сложных цифровых электронных систем и, прежде всего, систем на кристалле.

После награждения состоялись два пленарных доклада:

1. On nanoscale integration and gigascale complexity in the post .com world. Hugo De Man, Professor, KU Leuven, Senior Research Fellow, IMEC, BE.

Пока технологические процессы, подчиняясь закону Мура, подошли к размерам, измеряемым в нанометрах, разработчики проектов подошли к сложностям проектирования, связанным с гигаразмерами проектов. С другой стороны, в наше время продукты должны быть нулевой стоимости, с нулевым потреблением энергии, программируемые, с новой системной архитектурой, продаваться в огромных количествах и проектироваться за экспоненциально уменьшающееся время. Соответственно встает и множество вопросов:

- Сможем ли мы придумать эти новые системные архитектуры?
- Какие проблемы в проектировании они принесут?
- Как создать необходимые средства и методики и как организовать исследовательскую работу и обучение во всем мире?

2. Global responsibilities in SoC design. Taylor Scanlon, President & CEO, Virtual Silicon Technology, US.

Технические сложности разработки продвинутых SoC-проектов накладываются на изменение в экономической структуре мировой полупроводниковой промышленности. В докладе представляется взгляд на ответственность организаций и личностей, которая необходима, чтобы справиться с проблемами проектирования SoC-систем будущего.

Можно отметить, что пленарные доклады в какой-то мере очертили перечень проблем, стоящих перед современными разработчиками EDA, и возможные стратегические направления работы по разрешению поставленных проблем.

В свою очередь, последовавшие секционные заседания представили текущее состояние соответствующих исследований в Европе и мире.

В данной статье календарная программа секционных заседаний и дискуссий DATE 2002 проанализирована автором, реструктурирована и представлена в виде, отражающем, по мнению автора, наиболее важные тенденции и направления развития средств EDA.

IP-компоненты, платформы, NoC, реконфигурируемые архитектуры

IP-компоненты — фундамент проектирования

Панель 2A была посвящена обсуждению вопроса «Какой должна быть бизнес-модель распространения IP-компонент?» В течение нескольких последних лет IP-компоненты поставляют более 175 компаний. Используются лицензии с различными коэффициентами, как это принято делать для программного обеспечения в EDA, и авторский гонорар (royalty), как это принято при распространении компонентов в промышленности.

Очевидным сопутствующим фактором внедрения в практику проектирования IP-компонентов сторонних производителей является распределенная коллективная разработка сложных систем с использованием веб-технологий, которой была посвящена секция 2E «Коллективное проектирование — веб-службы, инфраструктура, приложения».

Как выбирать IP-компоненты сторонних производителей — этому вопросу была посвящена секция 1А. В качестве критериев выбора докладчики указывали: взаимодействие IP-компонента с другими IP-компонентами, гибкость, возможность оптимизации, проверенность, портируемость, простоту встраивания в проекты, воспроизводимость в чипах и сертифицированность. Отдельные доклады были посвящены выбору IP-компонентов процессора, памяти, аналоговых компонентов и программного обеспечения, а также стандартизации и методологии.

Платформы

Одним из ответов на сложность проектов, которые необходимо разрабатывать, являются платформы — интегрированные наборы IP-компонентов аппаратного и программного обеспечения.

Панель 2F обсуждала вопрос «Кто является собственником платформы?» Интересен состав фирм-участников состоявшегося обсуждения: Agere, Tensilica, Improv (все из США); STMicroelectronics (Канада), Infineon (Германия), Design & Reuse (Франция).

В дискуссии подчеркивалось, что по мере развития VLSI-технологий изменяется и организация промышленности. Традиционные производители сейчас менее концентрируются на чистом производстве, а более — на выпуске новых платформ для важных приложений. В это же время fabless-компании стараются создавать все более новые, улучшенные платформы. Кроме того, IP-компании выпускают платформы, не проектируя сами чипы. Это приводит к техническим и организационным проблемам:

Кто создает платформы? IP-фирмы, fabless-компании, производители?

Пользователи заказывают появление платформ их создателям, или разработчики платформ навязывают их разработчикам конечных продуктов (system houses)?

Как IP-фирмы и fabless-компании делят работу и прибыль?

Естественным продолжением поиска ответов на поставленные вопросы стала секция 3Е «Проектирование, базирующееся на платформах и повторное использование виртуальных компонентов».

Сети на кристалле

Секция 5А была полностью посвящена теме сетей на кристалле. Системы на кристалле, проектируемые по технологии 50–100 нанометров, могут использовать сетевые технологии для разработки надежных, устойчивых к шумам схем коммуникаций на кристалле. Были представлены возможности и проблемы использования сетевых архитектур и протоколов, а также промышленные прототипы NoC (Network-On-a-Chip).

Реконфигурируемые архитектуры

На секции 6В были представлены доклады, посвященные реконфигурируемым архитектурам. Обсуждались такие вопросы, как мотивация полезности конфигурируемости непосредственно во время исполнения, примеры проектирования исследовательских и промышленных конфигурируемых архитектур.

Панель 7А была посвящена проблеме «Конфигурируемые SoC — на что это похоже?»

Снова представляется интересным отметить состав фирм и организаций, принявших участие в дискуссии: Actel, Xilinx, STMicroelectronics, Quicksilver Technology (все из США) и IMEC (Бельгия).

Аргумент «против» ASIC SoC заключается в том, что создавать их очень долго и дорого. По мере развития производственных технологий проблема негибкости и невозможности внесения изменений становится весьма серьезной. Исчезнут ли стандартные ячейки ASIC без реконфигурируемой логики, уступив массивам вентиляей? Неужели производители ASIC потеряют свои позиции в выпуске интеллектуальных продуктов и станут просто поставщиками все больших кристаллов?

Аргумент «за» микросхемы FPGA заключается в том, что они всегда обеспечивают большую гибкость при проектировании в связи со своей конфигурируемостью. Аргумент «против» микросхем FPGA заключается в том, что по сравнению с микросхемами ASIC они всегда были больше, медленнее и дороже. Станут ли микросхемы FPGA достаточно эффективными, чтобы вытеснить ASIC с рынка массового производства? Микросхемы ASSP могут быть частично реконфигурируемы. Станут ли они нормой?

Панель 10А обсуждала менее глобальный, но весьма интересный вопрос «Технологии проектирования реконфигурируемых FPGA-платформ для сетевых приложений».

Internet стал движущей силой для разработки встроенных систем. Однако программные (базирующиеся на микроконтроллерах) встроенные системы часто не обеспечивают лучшего решения по стоимости, производительности и потреблению энергии. В ходе дискуссии аргументировалось, что FPGA-платформы создают хороший компромисс между высокой производительностью и возможностью сетевой реконфигурации. Представители Xilinx продемонстрировали действующий образец реконфигурируемого сетевого компонента на базе FPGA. Отмечена острая потребность в новых методах и средствах высокоуровневого проектирования встроенных систем, которые обеспечат прозрачное отображение приложений на программно-аппаратные платформы. Указывалось также на необходимость обеспечить в будущем высокоскоростную динамическую реконфигурацию FPGA-платформ.

Высокоуровневое проектирование: подходы и примеры

Совместная разработка (симуляция и эмуляция) программного и аппаратного обеспечения

Одной из главных тенденций высокоуровневого проектирования цифровых систем является стремление к совместной разработке программного и аппаратного обеспечения, начиная с как можно более ранних стадий проекта. Важно отметить, что если в прошлые годы, в том числе и на DATE 2001, во главу угла ставилась совместная разработка спецификаций программного и аппаратного обеспечения, то сейчас дополнительно ставится задача совместной отладки с использованием

при разработке и отладке прикладного программного обеспечения, программных симуляционных моделей и аппаратных эмуляторов аппаратного обеспечения.

Проектирование и верификация систем с использованием SystemC

В настоящее время ведутся работы по унификации методов и средств, обеспечивающих совместную симуляцию, верификацию и отладку программного и аппаратного обеспечения. Одним из таких подходов является использование SystemC. Доклады на эту тему отражают теорию и практику проектирования и верификации цифровых систем с использованием SystemC.

Методы, системы и примеры совместного проектирования программного и аппаратного обеспечения

Значительное число работ по традиции представляет методы и средства совместной спецификации и проектирования программного и аппаратного обеспечения цифровых систем, которые не ставят перед собой задачу совместной симуляции, а тем более совместной отладки программного и аппаратного обеспечения на уровне языков программирования (C, ASM) для программного обеспечения и языков описания аппаратуры (VHDL, Verilog) для аппаратного обеспечения.

Использование UML для спецификации встроенных систем

Организатором этой секции выступил L. Lavagno, Politecnico di Torino, IT. По его мнению, UML (Unified Modeling Language) разработан как перспективный стандарт для гибкой фиксации широкого диапазона требований к электронным системам. Его графическая нотация позволяет полуформально описывать поведение систем и ограничения на их разработку. Хотя инструментальная поддержка автоматизации перехода от таких спецификаций к более низкоуровневым (HDL, C и т. д.) пока явно недостаточна, по мнению участников, UML-подход выглядит многообещающе в связи с последующей потенциальной возможностью перевода в соответствующие компоненты программного и аппаратного обеспечения. В работах на эту тему освещается использование UML для спецификации и реализации встроенных электронных систем.

Формальная верификация, логический синтез, тестирование и самотестирование

Формальная верификация цифровых систем

Вопросы формальной верификации обсуждались в панельном семинаре 10D «Методы формальной верификации — промышленное состояние и перспективы». В дискуссии участвовали представители фирм Texas Instruments, Philips, STMicroelectronics, TNI-Valiosys, TIMA-UJF, Verisity, Mentor Graphics, Synopsys.

Верификация проектов цифрового аппаратного обеспечения — это наисложнейшая проблема и узкое место всего процесса разработки встроенных систем сегодня. Большинство ошибок в аппаратном обеспечении, реализованном на ASIC, может вызвать дорого-

стоящие задержки выполнения проекта, в случае, если эти ошибки обнаружены на стадии тестирования системы. Последствия в таких случаях очень серьезны: от дорогостоящего повторного изготовления чипа, до потери самой возможности попасть на рынок с данным продуктом. По мнению участников семинара, средства симуляции и эмуляции, которые традиционно используются для нахождения ошибок в проекте, часто не могут найти ошибки, возникающие в крайних случаях, которые могут произойти только после исполнения сотен тысяч циклов, что существенно превышает возможности современных технологий симуляции и эмуляции. Формальные методы выдвинуты как альтернативный подход к обеспечению качества и корректности проектируемого аппаратного обеспечения, преодолевающий ограничения таких традиционных методов, как симуляция и тестирование.

В то же время аппаратные компоненты становятся все сложнее и сложнее, например, в практику проектирования процессоров внедрены многостадийные конвейеры и архитектуры «out-of-order» (с оптимизацией порядка исполнения инструкций в программе). Формальная верификация таких систем — это огромная проблема, которой была посвящена целая секция 1В «Формальная верификация сложных проектов».

Поскольку Булевы методы являются ядром методов формальной верификации, им была посвящена специальная секция 2В «Методы SAT и BDD».

Логический синтез

Новые методы логического синтеза и примеры их применения обсуждались в секции 3В «Успехи логического синтеза».

Тестирование и самотестирование

Панель 3А обсуждала вопрос необходимости специальной инфраструктуры для самотестирующихся IP-компонент для SoC.

С каждым новым поколением полупроводниковых технологий процесс изготовления становится сложнее, а следовательно, повышается риск появления дефектов. Современные технологии 0,13 мкм и ниже подвергают надежность, диагностику и выпуск годных чипов большому риску, если не изменить процесса проектирования.

Предлагаются специальные IP-компоненты для встроенной диагностики, встроенной устойчивости к ошибкам, встроенного самовосстановления работоспособности.

На секции 4D «Диагностика BIST и DFT» (BIST — Built-in-Self-Testing, DFT — Design For Testing) обсуждались методы оптимизации времени тестирования, диагностируемости и покрытия сложных логических проектов.

Секции 5D и 6D были посвящены вопросам организации тестирования систем и SoC.

Секция 8D была посвящена вопросам организации тестирования устройств.

Секция 9D была посвящена вопросам тестирования памяти, а также методам и средствам ATPG (Automatic Test Pattern Generation).

Секция 9F была посвящена вопросам проектирования с обеспечением тестируемости.

Методы снижения энергопотребления

Панель 6А имела призывающее к дискуссии название «Кризис энергопотребления в SoC-проектах: стратегии конструирования малопотребляющих высокопроизводительных SoC-систем».

Состав участников дискуссии включал представителей следующих фирм: Virtual Silicon Technology, Alcatel, Infineon Technologies, Synopsys, Nanometer Analysis and Test, Interconnect Verification, Virtual Silicon.

Участниками дискуссии подчеркивалось, что традиционно средства синтеза были ориентированы на достижение заданных характеристик производительности и минимизации площади. Минимизация динамического и статического потребления энергии поручалась специальным средствам анализа, которые указывали проблему средствам конструирования для последующего ее решения.

Настало время шире применять стратегии управления энергопотреблением на всем протяжении проектирования, начиная от разработки алгоритмов. В дискуссии обсуждались существующие и необходимые средства и методы EDA для решения поставленных проблем.

Секция 1Е «Анализ энергопотребления в сетях на кристалле и процессорах» заслушала и обсудила соответствующие доклады.

Секция 4Е «Оптимизация кода и оперативной памяти в совместном проектировании программного и аппаратного обеспечения» была сфокусирована на методах и средствах кодогенерации для встроенных систем.

Секция 5В «Малопотребляющие архитектуры и ПО» была посвящена вопросам сокращения энергопотребления посредством трансформации программного обеспечения и использования новых архитектурных решений по организации оперативной памяти.

Секция 10Е «Оптимизация энергопотребления для встроенных процессоров» была посвящена обсуждению вопросов анализа сложности операций, кодирования данных на шине и в кэше.

Дискуссии

Панель 4А «Перспективы проектов MEDEA+ и ITRS», в которой участвовали представители таких фирм, как IBM, Intel, Philips Research, Infineon Technologies, TIMA, FZI/Tuebingen U, была посвящена обсуждению стратегий, выработанных соответствующими рабочими группами проектов MEDEA+ и ITRS. В качестве основных целей проектов обозначены разработки методов и средств проектирования, обеспечивающих сокращение времени проектирования и повышение качества проектов. Основной упор будет делаться на решения, управляемые требованиями предметной области, главным образом на такие, как SoC-системы с одновременной разработкой программного и аппаратного обеспечения.

Панель 5G «Руководители новых компаний» собрала лидеров таких фирм, как CoWare, iRoC, DICE, Memscap и CADIS, которые поделились своим опытом вхождения в рынок.

Панель 1G, организованная EDA Consortium собрала представителей таких ведущих EDA-компаний, как Mentor Graphics, Synopsys, Cadence и Infineon, которые обсудили вопросы будущего EDA-индустрии и ее пользователей.

На пленарном докладе «Европейские CAD от 60-х годов до нового тысячелетия», который состоялся в рамках секции 9G «40 лет EDA», Joseph Borel (R&D Consulting) выдвинул и аргументировал следующие тезисы:

- CAD-системы всегда плохо понимались руководителями компаний, поскольку их обязанности очень далеки от таких процессов.
- Огромное количество CAD и TCAD было разработано в Европе.
- Несмотря на то что многие из них включали интересные новшества, в большинстве своем они были внутреннего назначения и не достигали уровня, необходимого для выхода на рынок.
- Такое положение должно быть изменено в будущем.

Заключение

Прошедшая конференция и выставка DATE 2002 показала высокую динамику развития средств автоматизации проектирования, верификации и отладки SoC-систем. В то же время поставлен ряд проблем, которые все еще требуют своего разрешения. Желающие более подробно ознакомиться с материалами DATE 2002 могут обратиться к официальному сайту: <http://www.date-conference.com>.