

# Тенденции развития методов и средств автоматизации проектирования встроенных цифровых систем по материалам DATE 2004

**В Париже в феврале 2004 года состоялась конференция и выставка Design, Automation and Test in Europe (DATE). Обзор материалов этого события прекрасно характеризует тенденции развития средств автоматизации проектирования встроенных цифровых систем.**

Михаил Долинский

dolinsky@gsu.unibel.by

## Введение

DATE — европейская конференция и выставка, привлекающая академических исследователей, промышленных специалистов, пользователей и производителей в области проектирования, автоматизации и тестирования электронных устройств и систем.

Программа мероприятий DATE 2004 довольно насыщена и разнообразна, автор попытался систематизировать представленные на конференции материалы, в результате чего последние разбиты на группы, представленные ниже.

## 1. Перспективы новых технологий

**Opportunities and challenges in building silicon products in 65nm and beyond.** Gregory S. Spirakis, Intel. Потребность в более дешевых, быстрых и интегрированных полупроводниковых устройствах вынуждает искать способы продлить действие закона Мура еще хотя бы на десятилетие. Однако имеются серьезные препятствия на этом пути. Одно из главных таких препятствий сегодня — потребление энергии. В то же время по мере внедрения новых технологий возникают и новые проблемы — например интеграция на одном кристалле гетерогенных технологий, таких, например, как RF и MEMS. На более серьезный уровень выходят и проблемы технологии проектирования — от функциональной верификации до временной валидации и проектирования для упрощения тестирования и производства. Оратор предложил свое видение всех возникающих проблем и потенциальных возможностей их решений.

## 2. Перспективные области применения

**Секция 2F. High-Security Smartcards.** Организаторы: TMA Laboratory, Gemplus Corporate R&D Security Technologies и др. Современные устройства потребительской электроники, такие, как PDA, Set Top Box, GSM/UMTS-терминалы, обеспечивают быстрый и удобный доступ к Интернету и, таким образом, сильно мотивируют развитие служб электронной (e-) и мобильной (m-) коммерции. Десятки миллиардов

оплат осуществляются сегодня с помощью смарт-карт, и в будущем тоже ожидается рост их числа. Но развитие e- и m-коммерции может продолжаться только при условии гарантий безопасности выполняемых таким образом транзакций. Поэтому проектирование смарт-карт сталкивается с включением соответствующих требований в спецификации проекта. Сессия была посвящена способам выполнения этих требований при реализации проекта.

**Секция 10G. Quo Vadis Multimedia? From Desktop Multimedia to Distributed Multimedia Systems (Multimedia Special Day).** Организаторы: Linkoping U, SE; лекторы: R. Marculescu, LU, J. Henkel, NEC, M. Pedram, SU. Мультимедиа-системы сегодня играют центральную роль во многих устройствах домашнего применения. Успехи микроэлектронных технологий обеспечили возможность разработки портативных устройств, способных обрабатывать все виды информации (текст, аудио, видео). К сожалению, ограничения по потреблению энергии вынуждают ограничивать количество медиа-функций, интегрированных на одном кристалле. Эффекты энергопотребления становятся еще более важными для новых платформ, которые фактически становятся сетями на кристалле. Коммерческий успех проекта мультимедийного приложения зависит от качества отображения приложения на заданное множество ресурсов архитектуры с учетом множества ограничений и метрик проекта.

**Секция 9K. Future Multimedia Systems — New Challenges for Design, Automation and Testing.** Организатор: P. Eles, Linkoping U, SE. Лектор: Ulrich Reimers, TU Braunschweig. Докладчик проанализировал тенденции реализации мультимедийных сервисов и соответствующих технических систем. Важное значение придается способу кодирования аудио- и видеосигналов. Подчеркивалась необходимость скорейшей унификации стандартов кодирования мультимедиаинформации.

## 3. Европейские проекты

**Семинар W4. Embedded Systems Research in Europe.** Организаторы: Bruno Bouyssounouse, VERIMAG, Peter Marwedel, Dortmund U, Eugenio Villar, Cantabria U.

Цель семинара — расширить связи между ARTIST (инициатива по проектированию встроенных систем) и DATE-сообществом. Семинар включал две части:

1. Обзор ARTIST. Цель ARTIST — усилить европейские исследования в проектировании встроенных систем и широко внедрять результаты исследований. Для этого ARTIST намерена объединить лучшие европейские исследовательские коллективы для проведения совместных работ, которые объединят специалистов по электронике, компьютерным наукам, прикладной математике, теории управления. В перспективе — создать центр, способный соперничать с аналогичными центрами в США по генерации идей и влиянию на промышленность. Среди основных направлений исследований ARTIST такие, как аппаратные системы реального времени, тестирование и верификация, временной анализ, система на кристалле.

2. Более глубокое обсуждение одного из важнейших направлений исследований ARTIST: аппаратно-зависимое программное обеспечение в системах на кристалле. Программное обеспечение SoC является сильно зависимым от аппаратного обеспечения, которое разрабатывается во время проектирования SoC. Эффективное программное обеспечение SoC не может разрабатываться независимо от аппаратной платформы, и это приводит к неэффективности прежних методологий разработки программного обеспечения (независимо от аппаратной платформы). Сегодня нужны новые методы и средства, позволяющие разрабатывать программные и аппаратные функции параллельно и интегрированно. При этом важно также иметь в виду потенциальную мультипроцессорность и гетерогенность SoC.

**Семинар X7W. EDA R&D in Europe — Does it Make Sense?** Организатор: J. Naase, Edacentrum; лекторы: P. Magarshack, STM; F. Neppl, Infineon; C. Schmidt, Bosch; J.-O. Piednoir, Cadence; A. Domic, Synopsys; A. Ripp, MunEDA; G. Matheron, MEDEA+. Быстрое развитие полупроводниковых технологий требует непрерывного улучшения средств автоматизации проектирования. Европейские научно-исследовательские программы помогли ведущим европейским производителям войти в десятку лучших в мире, однако они не смогли построить сильную EDA-индустрию в Европе. Сегодня в EDA-индустрии доминируют фирмы из США. Как предлагается исправлять ситуацию: сконцентрироваться на разработке реальных приложений. EDA-продукты из США не вполне соответствуют требованиям европейских производителей устройств, поэтому последние должны быть заинтересованы в проведении собственных исследований и разработок в области EDA.

EDA (и исследования и разработки в EDA) — мощный фактор развития в микроэлектронике. Проблемы проектирования сегодня таковы, что требуют объединения усилий EDA-разработчиков и производителей устройств. Представители европейского исследовательского проекта в области EDA (MEDEA+), а также пользователи и разработчики EDA-средств из США и Европы обсудили поднятые проблемы.

**Семинары X8W. European R&D — Opportunities From Diversity** (Организатор: W. Ryder, Mentor Graphics) и **X9W. Industry News You can Use from EDA Consortium** (Организатор: W. Rhines, EDA Consortium; лекторы: L. Disenhof, Cadence; R. Goldman, Synopsys). Два совершенно различных вопроса, поставленных в программу EDA Consortium, обсуждались в рамках семинаров: 1) EDA Consortium выдвинул законодательную инициативу об упрощении регулирования экспортом EDA-средств разработки; 2) EDA Consortium выдвинул принципы функционирования операционной системы будущего.

**Семинар FR14. System Level Design in the MEDEA+ Project SpeAC.** Организатор: O. Bringmann, MEDEA+. Основная цель семинара — представление новых результатов, достигнутых в проекте MEDEA+, который называется SpeAC — Specification and Algorithm/Architecture Codesign for Highly Complex Applications in Automotive and Communication. В проекте исследуются возможности спецификации и совместного проектирования архитектур и алгоритмов для сложных приложений в автоматике и коммуникациях. Кроме того, была представлена информация о проекте EkompaSS (MEDEA+), ориентированном на проектирование на системном уровне.

#### 4. Университетские разработки

Здесь были продемонстрированы системы и средства автоматизации проектирования, разработанные в университетах и научно-исследовательских институтах. Каждой разработке был представлен ровно час для демонстрации. Среди наиболее интересных представленных разработок были:

**Architecture Composer** — среда для высокоуровневого описания и автоматизированной совместной генерации компьютерной архитектуры и компилятора.

**ASIP Meister** — среда для проектирования специализированных процессоров.

**AVIDug** — развитые средства визуализации для отладки.

**CHDT** — средства управления и отладки конфигураций.

**CodeSimuLink** — средства совместного проектирования аппаратного и программного обеспечения, базирующиеся на Simulink.

**GAUT** — высокоуровневый синтез цифровых сигнальных процессоров.

**GeneralStore** — CASE-платформа интеграции программного и аппаратного обеспечения.

**GEZEL** — среда совместного проектирования программного и аппаратного обеспечения для специальных прикладных областей.

**MMAalpha & SOCLIB** — быстрые и точные средства совместного прототипирования аппаратного и программного обеспечения.

**Платформа, основанная на ядре OpenRisc-1500 с открытыми описаниями.**

**POET** — средства оптимизации энергии, потребляемой встроенными системами.

**SoCLIB** — открытая платформа для симуляции систем на кристалле.

**SoftExplorer** — программное обеспечение для оценки потребляемой энергии.

**SymTA/S** — символичный временной анализ систем.

Средства разработки наручных устройств «виртуальной реальности».

#### 5. Мультипроцессорные SoC

**Секция 10A. Interconnect Modelling for MPSoC.** Организаторы: B. Candaele, Thales; A. Jerraya, TIMA Laboratory. Лектор: Ulrich Reimers, TU Braunschweig. Новые SoC-платформы имеют по несколько встроенных процессоров. В данной сессии рассматривались различные методы моделирования таких платформ, позволяющие анализировать компромиссы между производительностью и потребляемой энергией.

**Секции F1-F2. Programming Models for Multiprocessor SoC.** Организатор: A. Jerraya, TIMA Laboratory. Лекторы: F. Pospiech, Alcatel; A. Jerraya, TIMA Laboratory; R. Ernst, TU Braunschweig; G. Desoli, STM. Программная модель мультипроцессорной SoC обеспечивает абстракцию интерфейсов между аппаратным и программным обеспечением, что позволяет их параллельную разработку в сложных системах. Эти интерфейсы могут быть представлены на различных уровнях абстракции: RTOS-библиотеки, драйверы и т. д. Данный семинар ввел понятие аппаратно-зависимого программного обеспечения (Hardware dependent Software, HdS) для MPSoC, а затем обсудил перспективы стандартизации такого понятия. Цель HdS — обеспечить условия для эффективной параллельной разработки программного и аппаратного обеспечения MPSoC.

**Секция B1. Breaking the synchronous barrier for Systems-on-Chip communication and synchronization.** Организатор: Luciano Lavagno, Cadence Berkeley Labs. Лекторы: Luciano Lavagno, Cadence Berkeley Labs; Simon Moore, U of Cambridge. Эта секция сфокусировалась на методах разработки асинхронных систем на чипе, которые базируются на 'handshaking' а не на 'clock distribution networks'. Такие асинхронные системы являются более надежными с точки зрения новых нанотехнологий. Был представлен метод проектирования GALS (Globally Asynchronous Locally Synchronous) и показано, как разрабатывать асинхронные схемы, начиная от синхронной синтезируемой модели и используя традиционные средства проектирования.

#### 6. Сети на кристалле

**Секция 7A. Networks on Chip Design.** Организаторы: G. N. Nicolescu, Ecole Polytechnique de Montreal; M. C. Coppola, STM. Методы решения проблем, возникающих при проектировании сетей на кристалле.

**Секция 7D. Network Design (Designers' Forum).** Организаторы: M. Turolla, Telecom Italia; K. Goossens, Philips Research. Возможности сетевого взаимодействия как для сетей на кристалле, так и для беспроводных сетей становятся одной из центральных проблем проектирования. Рассмотрено несколько средств симуляции подобных сетей.

**Семинар W2. Parallel Optical Interconnects Inside Electronic Systems.** Внутрикристалльные

параллельные оптические межсоединения предлагаются как важнейшая технология для высокоскоростного (до терабита в секунду) доступа к данным на чипе. Такой подход один из наиболее перспективных при решении проблемы межсоединений в современных электронных системах. Данный семинар всесторонне обсудил поставленную проблему, так и не дав ответа на главный вопрос: когда можно ожидать практического внедрения такого подхода?

## 7. Structured ASIC/FPGA/ASIC

**Секция X16TH. Determining Which IC Implementation Options Right for You.** Организатор: Jordan Selburn, iSuppli. Лекторы: Vince Hopkin, AMI Semicon.; Doug Bailey, Chip Express; Mark Ellins, Fujitsu Microelec. Europe; Ronnie Vasishtha, LSI Logic; Ulrich Giese, NEC Electronics (Europe); Gael Paul, Synplicity. Многие из современных электронных продуктов требуют высокопроизводительных чипов, спроектированных быстро, с относительно низкими невозвращаемыми затратами (NRE) и малой ценой продукта. Известно, что только для проектов с массовой продажей может экономически оправдаться их изготовление в ASIC в связи с высокими NRE. В свою очередь, устройства на базе FPGA, имея относительно низкую цену разработки, могут добавить миллионы евро к общей стоимости продаж при выпуске большими партиями. Различия между этими технологиями создали разрыв, который и призваны ликвидировать Structured ASIC, представляющие альтернативу как традиционным ASIC, так и FPGA на сегменте рынка с достаточно высоким уровнем продаж. Представители компаний попытались очертить границы сегментов каждого из способов изготовления чипов.

**Семинар X3TU. Should the Future of FPGAs be the Centre of Attention for EDA?** Сегодня уже становится обычной ситуация, когда множество компонентов интегрируются на одном чипе. При этом высокие невозвращаемые затраты ASIC приводят к тому, что все чаще такие системы на кристалле выполняются на базе FPGA. FPGA переместились из средств прототипирования фрагментов проекта в основные элементы систем. Более того, зачастую вся система целиком помещается в таком одном перепрограммируемом чипе. Сегодня FPGA, изготавливаемые по технологии 90 нм/300 мм обеспечивают эффективное отношение стоимости к емкости для больших партий устройств с минимальными NRE. Стандартным при разработке таких FPGA стало использование встроенного программного обеспечения. Естественно, возникают вопросы. Умеем ли мы проектировать такие сложные гетерогенные системы и имеем ли мы соответствующие технологии и инструментальные системы? Готовы ли пользователи FPGA покупать EDA-средства для системного проектирования? Привлекут ли программируемые SoC новое внимание к поставщикам средств разработки программного обеспечения?

**Секция 6F. Chips of the Future: Soft, Crunchy or Hard?** Организаторы: P. Paulin, STM. Лекторы: R. Bramley, STM; A. Silburt, Cisco; J.-M. Balzano, Alcatel; K. van Berkel, Philips

Research; N. Wehn, Kaiserslautern U. Сегодня электронные продукты компонуется из чрезвычайно разнообразного множества интегральных микросхем: ASIC, специальных процессоров, платформ на базе FPGA, FPGA общего назначения и др. С ростом интеграции становится возможным использование самых разных технологий изготовления на одном кристалле, объединяя стандартные ячейки ASIC, встроенные FPGA, программируемые маской массивы вентиля и программируемые процессоры. Участники представили свое видение SoC в новых технологиях (90 нм и меньше), основанные на традициях и реальном опыте. Особо выделялись недостатки эксплуатируемых сегодня EDA-средств, препятствующие их эффективному использованию в будущем.

**Семинар D2. Structured ASIC Tutorial: Essential Information on Devices and Design Flow (Industrial Tutorial).** Организаторы: Christoph Hecker, NEC Electronics Europe; Doug Amos, Synplicity Europe. ISSP (Instant Solution Silicon Platform), представленная на DATE 2003, вызвала значительный интерес. Сегодня ISSP — лидер технологий Structured ASIC. Семинар ставит цели обучения внедрению технологий ISSP в дополнение к ASIC или FPGA-проектированию.

**Секция E1. Structured CAD: Technology Closure for Moderns ASICs.** Организатор: Leon Stok, IBM. Лектор: Juergen Koehl, IBM. Данная секция представила разработки IBM в области технологии Structured ASIC, которая сегодня является серьезной альтернативой ASIC и FPGA.

## 8. Проектирование на системном уровне

**Семинар X11W. Abstract Modelling: Is It Worth the Bother?** Организатор: J. Connell, ARM. Лекторы: E. Burns, Cadence; F. Ghenassia, STM; J. Goodenough, ARM; H. Kurosaka, NEC; J. MacDermott, CoWare; W. Rosenstiel, U of Tubingen; J. Stahl, Synopsys. Эта сессия собрала специалистов, заинтересованных в организации проектирования новых системных архитектур, эффективно обеспечивая требования к ним прежде всего по производительности. В дискуссии участвовали разработчики EDA-средств, системные архитекторы, поставщики IP-компонентов. Основная цель — выработать методологию оценки производительности системы на архитектурном уровне. Основная критика имеющихся технологий, основанных на транзактном моделировании (TLM), заключается в высокой трудоемкости создания таких моделей, вследствие чего многим кажутся неоправдывающимися расходы ресурсов на выполнение TLM. Апологетами системного проектирования выступали представители таких фирм, как ARM, CoWare, Cadence, Synopsys, NEC, STM.

**Семинар X15TH. Why Has System-Level Design Taken so Long to Gain Momentum?** Организатор: P. Clarke, EETimes. Лекторы: G. Smith, Gartner; S. Davidmann, CriticalBlue; M. Aubury, Celoxica; R. Camposano, Synopsys; M. Milligan, CoWare. Традиционные производители EDA-средств очень консерватив-

но относятся к внедрению в свои разработки возможностей SLD (system level design), что приводит к возрастанию «design gap», то есть разрыву между тем, что сегодня физически возможно проектировать на кристалле (100+ млн вентиля), и тем, что реально можно спроектировать в рыночные сроки, используя нынешние EDA-средства разработки. Эта дискуссия сфокусировалась на нескольких нетехнических аспектах проблематики, отталкиваясь от анализа рынка. Насколько велик рынок SLD-средств по сравнению с традиционным рынком EDA? Действительно ли SLD-средства могут применяться так же широко, как и традиционные средства, или SLD должны ориентироваться на какие-то специальные области применения? Согласятся ли разработчики платить столько, сколько сегодня реально стоит разработка и сопровождение SLD-средств? Каковы должны быть позиции университетов, исследовательских институтов, стартапов и больших производителей EDA-средств в разработке SLD-продуктов? Инициаторами дискуссии выступили представители Synopsys, CoWare и Celoxica.

## Секция 1F. SystemC and SystemVerilog — Where Do They Fit? Where are They Going?

Организатор: G. Martin, Cadence. Лекторы: S. Swan, Cadence; F. Ghenassia, STM; P. Flake, Synopsys; J. Srouji, Intel; W. Rosenstiel, Tuebingen U & FZI Karlsruhe. В настоящее время проявляется огромный интерес к языкам проектирования, прежде всего к SystemC и SystemVerilog. Но часто истина о языке проектирования может быть размыта маркетинговыми публикациями. Поэтому цель сессии, организованной специалистами, — углубить техническое понимание аудитории реальных свойств обоих языков. Прозвучали ответы на следующие вопросы: каковы общие свойства обоих языков, предлагаемые ими пользователям? Для решения каких проблем проектирования они лучше всего подходят? Как применение этих языков проектирования повышает производительность разработчиков и качество результатов проектирования? Как будут развиваться эти языки далее?

**Секция 1G. Managing Design Complexity in 90nm Technology.** Организаторы: Y. Zorian, Virage Logic; N. Mokhoff, EE Times. Лекторы: C. Harris, PMC Sierra; A. Kablanian, Virage Logic; C. King, AMI Semicon.; K. den Otter, TSMC; C. Rowen, Tensilica; T. Southgate, Altera; E. H. Frank, Broadcom. За последние 10 лет технологии изготовления чипов претерпели существенные изменения. 90-нанометровая технология позволяет использовать сотни миллионов транзисторов на одном кристалле. Как справиться с управлением проекта с такой сложностью?

## Секция 2D. From Working Design Flow to Working Chips: Dependencies and Impacts of Methodology Decisions (Designers' Forum).

Организаторы: F. Muradali, Agilent Tech.; R. Aitken, Artisan Components. Лекторы: W. Eklow, Cisco Systems; T. Ruotsalainen, Nokia; S. Dandia, Philips. Специалисты задались вопросом: каким должен быть процесс проектирования, чтобы гарантировать получение работающего чипа? В поисках ответа на постав-

ленный вопрос были выделены как наиболее важные три «проблемных» аспекта:

- интеграция в системе IP-компонентов от различных поставщиков;
- проектирование интерфейсов плат;
- финальное производственное тестирование.

**Секция 3G. Advanced Solutions for SoC Design.** Организаторы: Y. Zorian, Virage Logic; P. Aycinena, EDA Weekly. Лекторы: J. Benkoski, Monterey Design Systems; M. Muller, ARM; A. Naumann, CoWare; T. Reeves, IBM; S. Wang, Axis. Проблемы SLD (System Level Design) признаются сегодня ключевыми в создании новых платформ для электронных систем будущего. EDA-средства проектирования должны, с одной стороны, развиваться в сторону поддержки нанометровых технологий, а с другой — переходить от RTL-проектирования к более высоким уровням абстракции, в том числе к уровню SLD. Специалисты выдвинули и обсудили собственные пути развития средств EDA.

**Секция 8B. Real-Time Issues in Embedded Systems.** Организаторы: S. Hu, Notre Dame U; F. Wolf, Volkswagen. Доклады в этой секции рассматривали различные аспекты анализа и синтеза встроенных систем реального времени, в том числе такие, как характеристика нагрузки, анализ временных характеристик в худшем случае, оптимизация программного обеспечения гетерогенных мультикластерных систем.

**Секция M3. Modern Design Techniques with SystemC.** Организатор: Martin Speitel, Fraunhofer IIS. Несмотря на появление новых языков проектирования, SystemC широко принят EDA-компаниями и используется многими командами проектировщиков. Данный мастер-класс, проведенный специалистами из Fraunhofer IIS, дал развернутый обзор приложения SystemC к различным аспектам проектирования систем-на-кристалле; обеспечил введение в SystemC 2.0; проиллюстрировал моделирование на различных уровнях абстракции от системного уровня до синтезируемой ASIC-реализации. Были продемонстрированы различные методологии разделения функций между аппаратным и программным обеспечением, возможности SystemC по моделированию аналоговых компонентов.

**Секция 10F. System Verilog for VHDL Users.** Организатор: H.-J. Schlebusch, Synopsys. Лектор: M. Willems, Synopsys. SystemVerilog был разработан, чтобы обеспечить эволюционный переход от существующих языков описания аппаратного обеспечения (HDL) к методологиям проектирования и верификации следующего поколения, прежде всего ориентированным на сложные SoC-проекты. И хотя корни SystemVerilog покоятся в языке Verilog, SystemVerilog инкорпорирует и развил многие полезные возможности языка VHDL. Этот семинар представил обзор SystemVerilog, фокусируясь именно на тех его особенностях, которые будут способствовать его принятию VHDL-разработчиками. Среди таких возможностей: сложные и определяемые пользователем типы данных, многомерные массивы, строгий автоматический контроль соответствия типов данных. Семинар проиллюстрировал также, как разработчики на VHDL и Verilog могут извлечь выгоду из особенностей SystemVerilog для

улучшения своей производительности за счет удобства кодирования и верификации.

**Семинар FR2. OpenAccess Interoperability Workshop.** Организатор: B. Bayer. OpenAccess Coalition была сформирована с целью разработки стандартного API, который позволит EDA-разработчикам эффективно получать/сохранять информацию о проекте. На семинаре было обсуждено текущее состояние и основные проблемы.

**Секция B2. Reliable Design: A System Perspective.** Организатор: G. De Micheli, Stanford U. Лектор: R. Iyer, U of Illinois. На секции были представлены методы проектирования надежных систем. Под системой понимается одна из разновидностей: система на кристалле, система из нескольких чипов и распределенная система. Рассмотрены аспекты проектирования как аппаратного, так и программного обеспечения.

### 9. Платформено-ориентированное проектирование, IP-компоненты, языки проектирования

**Семинар X1TU. Common Ground for Measuring IP Quality.** Организатор: M. Kaskowitz, Mentor Graphics. Лекторы: J. Ackroyd, ARM; J. Ensell, Virage Logic; B. de Loore, Philips; P. Magarshack, ST; K. Werner, Mentor Graphics. С момента появления IP-компонентов представители производителей, создателей и пользователей IP-компонентов пытаются создать общее множество метрик, качество которых легко может быть измерено. Некоторые считают такой метрикой количество случаев, когда IP-компонент использовался в массовой продукции. Другие предлагают получать метрики качества, анализируя исходный текст IP-компонента и способы его валидации, предоставляемые разработчиком IP-компонента. Многие фирмы уже потратили значительные усилия на разработку методов и средств измерения качества собственных IP-компонентов. Однако зачастую такие средства и методы непригодны для измерения качества IP-компонентов сторонних производителей. Особое внимание было уделено Quality IP Assessment, выдвинутому рабочей группой VSIA и одобренной FSA.

**Секция 8G. Platforms and Tools for Energy-Efficient Design of Multimedia Systems.** Организатор: E.-J. Pol, Philips. Лекторы: R. Von Vignau, Philips; R. Gupta, UC San Diego; N. Dutt, UC Irvine; N. Venkatasubramanian, UC Irvine. Способность принимать, обрабатывать и передавать мультимедиаинформацию на встроенных платформах является ключевой для широкого круга приложений. В то же время существует множество проблем на уровне архитектуры системы, проектирования SoC и разработки программного обеспечения. Специалисты Philips на примере своей платформы Nexperia представили способ разрешения возникающих проблем — эффективное повторное использование IP-компонентов. Было отмечено, что для реального мультимедийного устройства с поддержкой текста, звука и видео существенную роль играет качество программного обеспечения вплоть до операционной системы.

## 10. Реконфигурируемые архитектуры

**Секция 8D. Reconfigurable Architecture (Designers' Forum).** Организаторы: M. Lindwer, Philips; P. Pezzati, Cadence. На секции было обсуждено текущее состояние реконфигурируемых архитектур и примеры их использования. Особое внимание было уделено таким предметным областям, как передача данных и медиаприложения.

**Секция 9G. Applications of Reconfigurability.** Организаторы: Y. Tanurhan, Actel; W. Rosenstiel, Tuebingen U & FZI Karlsruhe. На этой секции дискутировались многочисленные приложения и методологии, которые используют реконфигурируемость для реализации беспроводной и мультимедийной функциональности. В частности, были представлены турбо-декодер, MPEG-декодер, DCT-преобразователь, выполненные на реконфигурируемых платформах.

**Секция A2. The Coming Of Age Of Reconfigurable Computing: Potentials And Challenges Of A New Technology.** Организатор: W. Najjar, U of California Riverside. Лекторы: W. Najjar, U of California Riverside; F. Kurdahi, U of California Irvine; K. Vissers, U of California Berkeley и Xilinx. Платформы, которые комбинируют CPU и реконфигурируемую логику, введены в практику относительно недавно. Такие устройства идеально подходят для многих областей применения — от мультимедиа до коммуникации. Основной фактор сдерживания широкого внедрения таких платформ в реальную практику — это отсутствие высокоуровневых средств разработки программного обеспечения и исследования проектного пространства. Данная секция фокусируется на трех аспектах:

- 1) внутренний потенциал выдвинутой парадигмы;
- 2) диапазон архитектур в поиске компромисса между гибкостью и производительностью;
- 3) обзор текущих и перспективных приложений в области мультимедиа и телекоммуникации с точки зрения требований к производительности и потребляемой энергии.

## 11. Совместная разработка программного и аппаратного обеспечения

**Семинар X5TU. HW Designers Implementing from Embedded SW: Bottleneck or Gridlock?** Организатор: C. Edwards, IEE. Лекторы: A. Moore, Artisan Software; D. Stewart, CriticalBlue; O. Levia, Synopsys; L. Mantellasi, STM; Erik Dagemark, Ericsson. При проектировании систем сегодня стало чрезвычайно трудно определить границу между аппаратным и программным обеспечением. В то же время разработчики программного и аппаратного обеспечения продолжают использовать принципиально различающиеся методологии и инфраструктуры проектирования, фактически не претерпевшие существенных изменений за последние 10 лет. Хотя разработчики программного и аппаратного обеспечения все больше и больше понимают проблемы друг друга, сегодня нет эффективного способа миграции функциональности проекта между программным и аппаратным обеспечением.

**Семинар X6TU. Methodologies for SoC Hardware-Software Validation.** Организаторы: A. Mohsen, Aptix Philippe Magarshack; M. Fazeli; M. Muller, ARM; A. Hediatti, Intel; T. Vucurevich, Cadence. SoC-проекты составляют быстрорастущий сегмент полупроводниковой индустрии. Новые устройства — от сотовых телефонов до домашних центров — содержат одну или более SoC-систем. Традиционные средства симуляции на рабочих станциях уже не в состоянии обеспечить верификацию столь больших и сложных проектов, в значительной степени опирающихся на программное обеспечение. Разработчики используют множество технологий, включая акселерацию симуляции, внутрисхемную эмуляцию, симуляцию на уровне транзакций и др.

**Семинар X10W. IEE Presents: Where is SoC in the 21st Century?** Организатор: I. Phillips, ARM. Лекторы: J. Tully, Gartner; G. Martin, Cadence; S. Kundu, Intel; A. Peirson, ARM. «Возможно, системы-на-кристалле — это вчерашняя новость, но не нужно думать, что все проблемы уже решены» — под этим девизом началась сессия. Проекты с емкостью в 100 млн вентиляей ставят принципиально новые проблемы при проектировании архитектуры, совместной разработке аппаратного и программного обеспечения, верификации и т. д. К 2007 году предсказываются чипы в 1000 млн вентиляей. Как решать сегодняшние, а тем более завтрашние проблемы?

**Секция 5F. Hardware/Software System Design and Architecture Exploration.** Организаторы: B. Juurlink, TU Delft; R. Leupers, RWTH Aachen. Эта секция посвящена различным аспектам совместного проектирования программного и аппаратного обеспечения системы. Первый доклад представляет новый метод такого проектирования. Второй доклад посвящен способам защиты программного обеспечения. Третий доклад представляет новую технологию совместной симуляции аппаратного и программного обеспечения. Четвертый доклад описывает метод обнаружения и анализа взаимодействия в системе параллельных взаимодействующих процессов.

**Семинар M1. Constraint and Integer Programming Techniques and Tools for Digital System Design.** Организатор: Michela, Milano, DEIS, Bologna U. Лекторы: Michela, Milano, DEIS, Bologna U; K. Kuchinski, Lund U; J.-F. Puget, ILOG SA. Цель этого мастер-класса — представить множество эффективных методов решения комбинаторных задач большой размерности, возникающих при совместном проектировании аппаратного и программного обеспечения. В общем случае такие задачи решаются методами целочисленного программирования. В последнее время был также выдвинут метод CP (Constraint Programming) как альтернативный или дополнительный к традиционному методу целочисленного программирования. Концепция метода CP основывается на интеграции подходов из таких предметных областей, как искусственный интеллект, математическое программирование, сети и вычислительная логика. Среди основных достоинств метода CP — эффективность, простота и гибкость. В ходе мастер-класса были освещены три основные группы вопросов: 1) область применения метода CP, 2) примеры применения CP,

3) представление ILOG — коммерческого продукта, обеспечивающего реализацию метода CP.

## 12. Формальная верификация

**Секция 1B. Formal Verification Using Functional and Structural Information.** Организаторы: A. Veneris, Toronto U; K. Winkelmann, Infineon. На сегодня есть два установившихся метода формальной верификации: символьная симуляция и проверка эквивалентности моделей. На данной сессии авторы представили существенные улучшения этих методов — от новых способов вычислений до функционального разбиения проектного пространства.

**Секция A1. Formal verification for real-world designs: Today's technologies.** Организатор: V. Bertacco, U of Michigan. Лекторы: V. Bertacco, U of Michigan; D. Cyrluk, Kestrel Institute. Данная секция была посвящена методам верификации свойств последовательностных цифровых систем. Был выполнен обзор основных технологий верификации и их применимости в сложных проектах. В частности, были рассмотрены такие технологии, как проверка эквивалентности моделей, символьная симуляция и доказательство. Особое внимание было уделено коммерческим программам формальной верификации.

## 13. Технологии тестирования

**Секция 2G. Determining the Value of Test.** Организаторы: Y. Zorian, Virage Logic; R. Wilson, CMP. Лекторы: J. Healy, LogicVision; N. Konidaris, Advantest America; P. Magarshack, STM; C. Vandenberg, HPL; R. Vashista, LSI Logic. Изначально тестирование использовалось для того, чтобы отобрать из изготовленных чипов дефектные и поставлять пользователям только корректно функционирующие товары. В настоящее время сфера тестов существенно расширилась до помощи в отладке чипов, а также основы для восстановления работоспособности чипов во время производства и функционирования и инфраструктуры для самодиагностики и поддержания устойчивости к отказам.

**Секция 6C. Support for BIST.** Организаторы: G. Carlsson, Ericsson; K. Chakrabarty, Duke U. На сессии были представлены способы поддержки BIST (встроенного самотестирования) на различных уровнях абстракции. В том числе: внутрикристалльные средства измерения времени, влияние добавления тестовых схем, автоматическая генерация программ самотестирования для DSP-процессоров на поведенческом уровне.

**Секция 5D. Design Verification and Test (Designers' Forum).** Организаторы: F. Fummi, Verona U; A. Fedeli, STM. Возрастающая сложность проектируемых SoC вынуждает использовать более высокие уровни абстракции для верификации IP-компонентов и проектов в целом. В то же время сокращение размеров требует все более детального анализа временных соотношений на уровне устройства. На секции были представлены примеры практического опыта верификации устройства эпох давления, ядра микроконтроллера, сетевого процессора, цифровой видеоплатформы.

**Семинар W1. About forgotten costs: penny wise, pound foolish.** Организаторы: L. Vervoort,

Philips; BCU TV Innovation Lab. Пользовательские устройства, такие, как TV, VCR и CD-плееры, долгое время тестировались традиционными способами. Затем эти методы были дополнены граничным тестированием JTAG (JTAG Boundary Scan). Однако по мнению некоторых панелистов, стратегия будущего заключается во встраивании средств самотестирования непосредственно в устройства с целью сокращения стоимости тестирования.

**Секция 9C. The Status of the New IEEE Test Standards.** Организатор: B. Bennetts, Bennetts Associates. За последние 5 лет было опубликовано три новых стандарта IEEE по тестируемости: IEEE 1149.4 — по шине для тестирования цифровых и аналоговых сигналов; IEEE 1149.6 (AC-EXTEST), IEEE 1532 (внутрисхемная конфигурация). На секции были обсуждены следующие вопросы. Какие проблемы решают эти стандарты? Как именно решаются поднятые проблемы? Кто использует данные стандарты? Работают ли выпущенные стандарты? Каким ожидается развитие этих стандартов?

**Семинар W1a. The Concept Of System-Level Boundary-Scan Is Becoming Increasingly Popular But Why Is It That Companies Are Reluctant To Implement This Strategy?** Организатор: P. Collins, JTAG Tech. Лекторы: P. Horwood, Firecron; B. Fenton, ИТТ. Хотя концепция граничного сканирования на системном уровне (system-level boundary-scan, SLBS) широко признана, а разработчики осознали технические преимущества такого подхода, на практике SLBS не получила всеобщего распространения. Почему? Для того чтобы технология SLBS была принята в качестве средства тестирования и диагностики «на лету», это должно стать выгодно системным архитекторам и менеджерам проектов, иначе они не могут взять в толк, зачем им разрабатывать то, что никогда не будет ими использовано. Текущие спецификации SLBS требуют наличия пяти дополнительных контактов, предназначенных только для тестирования. Системные архитекторы и разработчики не желают реализовывать SLBS по одной из следующих причин: а) спецификация самотестирования в проекте уже определена; б) у них нет ресурсов для этой дополнительной функциональности. Каким может быть следующий шаг эволюции в направлении SLBS? Могут ли поставщики чипов обеспечивать их собственным или стандартным интерфейсом (TCP/IP или CAN)? Сегодня все средства управления сканированием и подачей тестовых векторов — собственные. А они должны конвергировать в стандартную архитектуру типа plug-and-play.

**Семинар X17TH. In-System Programming Of Programmable Devices Through Boundary Scan.** Организатор: B. Bennetts, Bennetts Associates; Dave Stringer, ASSET InterTech. Граничное сканирование находится на подъеме. В последнее время выдвинуто еще одно направление использования граничного сканирования: возможность перепрограммирования программируемых устройств, таких, как флэш-память, CPLD и FPGA, непосредственно на целевой плате. Такое свойство получило название «внутрисистемное программирование» или «внутрисистемная конфигурация». Данная сессия

сфокусировалась на этом аспекте гранично-го сканирования, вплоть до демонстрации процесса использования коммерческого программного обеспечения для PC, обеспечивающего внутрисхемное программирование посредством граничного сканирования. На семинаре были затронуты следующие вопросы: обзор стандарта внутрисхемной программируемости (ISP) IEEE 1532-2002; рекомендации по организации ISP; особенности ISP для флэш-устройств; особенности ISP для CPLD и FPGA.

**Семинар W3S1. Multi-Gigahertz Test: New Methods And Algorithms Welcome And Introduction: Multi-GHz Test: The New Frontier.** Организаторы: A. Chatterjee, Georgia Institute of Technology; V. Loukusa, Nokia; D. C. Keezer, Georgia Institute of Technology; D. Minier, IBM. С 1990 года разрабатываются методы повышения тактовой частоты тестеров. Представленные на семинаре тестеры обеспечивают производительность до 1 Gbps и выше.

**Семинар W3S2. BIST vs. External Test Of Multi-Gigahertz Electronic Components: Practicality And CAD Tools.** Организаторы: V. Kaminska, 3MTS; D. Goodman, Ardext Tech.; J. L. Carbonero, STM; G. Gronthoud, Philips. Возможности пиковой производительности сегодняшних RF-тестеров — до 5 ГГц. Дальнейшее повышение их производительности существенно поднимает их стоимость. В то же время мы наблюдаем развитие средств встроенного самотестирования (BIST). Основной вопрос сессии — как дальше будет развиваться тестирование: за счет развития BIST или за счет совершенствования внешних средств тестирования?

#### 14. Сокращение потребления энергии

**Секция 5K. Process Technology for Low-Power Design.** Организатор: E. Macii, Politecnico di Torino. Лектор: M. Thompson, STM. Благодаря непрерывному прогрессу в CMOS-технологии и производстве возникают возможности разрабатывать устройства, удовлетворяющие самым разнообразным требованиям, таким, как надежный RF-интерфейс, высокая производительность цифровых компонентов, высокая точность аналоговых компонентов, низкое энергопотребление и др. В фокусе данной секции — способы обеспечения низкого энергопотребления в сложных SoC. Указывается, что требуется более интенсивное взаимодействие проектировщиков, технологов и изготовителей.

**Семинар M2. RTL Power Optimisation: Concepts, Tools and Design Experiences.** Организатор: M. Poncino, Verona U. Лекторы: M. Poncino, Verona U; P. Sithambaram, BullDAST; R. Zafalon, STM. Цель этого мастер-класса — описать внедрение новых методологий оптимизации потребления энергии устройством, описанным на RTL, в коммерческие EDA-средства, а также поведать, какие из таких средств успешно использованы в реальных проектах. В мастер-классе явно выделены три секции. Первая секция представляет обзор разработанных на сегодня наиболее эффективных методов оптимизации потребления энергии по RTL-описаниям. Вторая

секция посвящена презентации коммерческих EDA-средств, которые реализуют методы, представленные в первой секции. Третья секция дает обзор результатов промышленного применения методов и средств, представленных в первой и второй секциях.

**Секция 6G. Power-Aware Networks and Interfaces.** Организаторы: M. Pedram, Southern California U; A. Amara, ISEP. Секция была целиком посвящена эффективности энергопотребления в сетях и чипах. Представленные методы включали: 1) фильтрацию данных и исключение спойерования в беспроводных сетях; 2) синтез интерфейсов и проектирование асинхронных интегральных схем.

**Секция 5G. Extremely Low-Power Logic.** Организатор: C. Piguet, CSEM. Для суперслабопотребляющих энергию устройств предложены три новые многообещающие технологии: системы с напряжением питания ниже 0,4 В; организация оптической системы межсоединений внутри больших чипов; наноприборы (на основе транзисторов 10 нм) с почти нулевым потреблением энергии.

**Секция 7G. Architectures and Design Techniques for Energy Efficient Embedded.** Организаторы: E. Macii, Politecnico di Torino; N. Chang, Seoul National U. Лекторы: I. Verbauwhede, UCLA; C. Piguet, CSEM; P. Schaumont, UCLA; B. Kienhuis, Leiden U. Подходящий баланс между эффективным потреблением энергии и программируемостью может быть достигнут в современных встроенных системах использованием специальных процессоров. Хорошо известным примером такого подхода являются цифровые сигнальные процессоры (DSP). Сегодня DSP разрабатываются с ориентацией на беспроводные взаимодействия. Прежде всего, это означает, что DSP способны эффективно исполнять различные фильтры (FIR, IIR и др.), новейшие коммуникационные алгоритмы типа декодирования Витерби, турбо-декодирования, алгоритмов кодирования-декодирования речи. Эта секция посвящена проблемам разработки архитектур DSP с учетом потребностей эксплуатируемых и новых приложений. Показывается, что в перспективе архитектура DSP должна стать гетерогенной.

**Секция 10B. Embedded Software Generation and Optimization.** Организаторы: F. Rousseau, TMA Laboratory; J. Madsen, TU Denmark. В первом докладе представлен алгоритм оптимизации использования памяти в целях сокращения энергопотребления. Во втором докладе представлен метод кодогенерации, повышающий производительность DSP-процессора. Третий доклад представил среду для генерации компилятора по описанию модели процессора.

**Секция 10D. Low-Power Design (Designers' Forum).** Организаторы: W. Luk, Imperial College; V. Gerousis, Infineon. Эффективность потребления энергии должна быть в поле зрения разработчиков на всех этапах процесса проектирования: от системного уровня абстракции до уровня физической реализации. На сессии приведены примеры методологии энергосберегающего проектирования для сетей и мультипроцессорных архитектур.

#### 15. Аналоговое проектирование

**Семинар X13TH. Analogue Design for SoC: Red is for Danger.** Организатор: G. Moretti — EDN Worldwide. Лекторы: A. Sella, Barcelona Design; M. Voigt, NEC; T. Vucurevich, Cadence; J. Buehler, TSMC; J. H. Chern, Mentor Graphics. Аналоговые транзисторы в сложных проектах сегодня составляют примерно 2% от всех транзисторов, однако при этом занимают 20% площади кристалла и вызывают 50% всех повторных изготовлений. Таким образом, аналоговая часть проекта оказывает существенное влияние на реальность выполнения его в срок. Проблема еще более усугубится при переходе к технологиям 90 нм, а тем более к 65 нм и менее. Вопросы, поднятые и обсужденные участниками, можно разделить на три категории. Способны ли модификации имеющихся средств EDA решить поднятую проблему? Или нужно создавать совершенно новую технологию? Способно ли нынешнее поколение разработчиков справиться с этой нарастающей проблемой?

**Секции 8F,9F. PCB Symposium: Signal Integrity in Multi-Gigabit Designs.** Организатор: C. Elgert. В этом году главной темой PCB Symposium стала тема целостности сигналов в мультигигабитных проектах. В принципе, проблемы целостности сигналов возникают в простейших платах, но возникают совершенно новые проблемы при проектировании плат, содержащих последовательные компоненты ввода-вывода третьего поколения. Проф. Thueringer из F H Giessen представил фундаментальные основы возникновения таких проблем и способы их разрешения.

#### Заключение

Европейские структуры открыты к взаимодействию с новыми научно-исследовательскими коллективами, в том числе и из стран СНГ. В данном материале приводятся национальные научно-исследовательские учреждения стран Европейского Союза, ведущие соответствующие исследования и принявшие участие в организации секций и семинаров DATE 2004, что обеспечивает возможность установления с ними прямых контактов. Сравнение материалов конференции DATE 2004 с материалами DATE 2003 [1] и DATE 2002 [2] убедительно указывает на тенденцию переориентации интересов DATE с академических исследований на практические и коммерческие разработки, на решение реальных и актуальных проблем. Можно заметить также значительное повышение интереса к DATE 2004 крупнейших американских компаний (Intel, IBM Motorola, Xilinx, Mentor, Cadence, Synopsys и др.)

#### Литература

1. Долинский М. Тенденции развития методов и средств автоматизации проектирования встроенных цифровых систем по материалам DATE 2003 // Компоненты и технологии. 2003. № 4.
2. Долинский М. Тенденции развития методов и средств автоматизации проектирования встроенных цифровых систем по материалам DATE 2002 // Компоненты и технологии. 2002. № 8.