

Тенденции и перспективы развития средств совместной отладки программного и аппаратного обеспечения встроенных систем

М.С. Долинский

1. Потребность в средствах отладки мультипроцессорных систем

Только в первом квартале 2004 года выпущены, как минимум две мультипроцессорные системы MW301 от MediaWorks и Neuron от Cypress, описываемые ниже.

Fabless-компания MediaWorks (www.mediaworks-isi.com) анонсировала SoC для камерокодеров (MW301). MW301 обеспечивает обработку видео по стандарту MPEG4, включает собственный процессор ASMP (Application Specific Media Processor) и интерфейсы к CCD и CMOS сенсорам и устройствам хранения информации, таким как флеш-память и дисководы. MW301 также оснащен пятью пользовательскими полностью программируемыми параллельными процессорами, оптимизированными для обработки образов на частоте 300 МГц. Наконец, MW301 содержит множество встроенных периферийных устройств: USB 2.0, I2C, UART, 30 программируемых контактов ввода-вывода, MW301 поддерживает множество аудио-стандартов, включая AAC, MP3, Windows Media Audio (WMA) и видео-стандартов, включая H.264, MPEG4, Windows Media Video (WMV), JPG, JPEG2000.

Cypress (www.cypress.com) производит чипы семейства Neuron для автоматизации управления промышленными сетями. Эти чипы (CY7C53120L8 и CY7C53150L) включают по 3 восьмьбитных процессора, встроенную память, UART и SPI.

В обоих случаях изготовители чипов предлагают систему с несколькими процессорами, памятью и богатым набором периферийных устройств. Для таких систем принципиально необходимы средства совместной отладки взаимодействующих программного и аппаратного обеспечения. Отметим, что ни в одном из случаев ничего не говорится о созданных средствах отладки. Скорей всего, фирмы – разработчики аппаратного обеспечения, не специализируясь на создании средств отладки, рассчитывают на помощь "третьих фирм". Наиболее перспективным представляется подход, обеспечивающий универсальную систему отладки, настраиваемую на требуемую мультипроцессорную систему.

2. Потребность в средствах совместной отладки программного и аппаратного обеспечения однопроцессорных SoC систем

Только за первый квартал 2004 года новые SoC (System-on-a-chip)-системы разработали Toshiba, Infineon, TTPCom и Texas Instruments. Ниже приводятся краткие технические характеристики этих систем:

Toshiba (www.chips.toshiba.com, www.toshiba.com/taec) разработала мультичип толщиной 1.4 мм, который обеспечивает стекирование 9 слоев. MCP (Multi-Chip Package) объединяет 6 слоев памяти (SRAM, SDRAM, NOR Flash, NAND Flash, общей емкостью 776 мегабит) и 3 слоя логики. В целях оптимизации обмена данных между CPU и памятью, Toshiba разработала 'triple-data bus system', которая состоит из высокоскоростной шины (для SDRAM и NOR), среднескоростной шины (для SRAM) и низкоскоростной шины (для NAND).

Infineon Technologies (www.infineon.com) анонсировала новую SoC для управления дисками Эта SoC выполнена по технологии 0.13 мк, и интегрирует 1.6 Гбит/с канал чтения, 3 Гбит/с Native Serial ATA интерфейс, 16-битный микроконтроллер, контроллер жесткого диска, встроенную память.

TTPCom анонсировала документированный проект однопроцессорного сотового мо-

дема, созданного на базе процессора StarCore (www.starcore-dsp.com). Традиционно, функции коммуникаций разделялись между двумя процессорами: MCU (MicroController Unit), который исполнял стек протоколов и DSP (Digital Signal Processor), который выполнял функции обработки сигналов. CBE 2000 (Cellular Baseband Engine) исполняет все функции на одном процессоре, благодаря чему упрощается разработка программного обеспечения. CBE 2000 выполнен по технологии StarCore VLES (variable-length execution set), которая объединяет высокую производительность с компактностью кодов. Используя средства поддержки компиляторов, встроенные в архитектуру StarCore, разработчики программного обеспечения могут писать программы непосредственно на C.

Texas Instruments выпустила MSC1200 (www.ti.com/sc04069) – высокопроизводительную SoC для сбора данных. MSC1200 интегрирует 24-битный дельта-сигма АЦП, улучшенный процессор 8051 (32-битный аккумулятор/сдвигатель), флеш-память (4К или 8К), 128 байт SRAM, внутренний осциллятор, и множество высокопроизводительных внутрикристалльных периферийных устройств (UART, I2C, SPI, два таймера/счетчика, четыре порта ввода-вывода).

В сообщениях практически ничего не говорится о возможности совместной отладки программного и аппаратного обеспечения для этих SoC.

3. Проблемы совместной верификации программного и аппаратного обеспечения встроенных цифровых систем и способы их решения.

Разработчики программного обеспечения для встроенных систем не имеют доступа к реальному железу до появления физического прототипа. Это означает задержку значительного количества работы по разработке программного обеспечения, что делает общий процесс разработки более последовательным и более длительным, чем хотелось бы. И это происходит когда интенсивно растет программная составляющая всех новых проектов. Аналитическая компания VDC предсказывает, что количество разработчиков программного обеспечения для встроенных систем в 2004 году будет доведено до 236,000. в то время как количество разработчиков аппаратного обеспечения встроенных систем будет 130,900. VDC предсказывает также ежегодный 8% рост числа разработчиков программного обеспечения встроенных систем и 4% рост числа разработчиков аппаратного обеспечения.

Огромные проблемы представляет совместная верификация программного и аппаратного обеспечения. По оценкам Collett International Research в 2002 году только 39% не содержали ошибок в первом изготовлении, в то время как 61% проектов имели логические или функциональные ошибки. Более 20% проектов потребовали 3 или более повторных изготовлений чипов.

Один подход к совместной верификации программного и аппаратного обеспечения заключается в использовании систем эмуляции, таких как Mentor Graphics Vstation (использующий множество FPGA) или Cadence Palladium (базирующийся на пользовательском ASIC-проекте), используемый для аппаратной акселерации или внутрисхемной эмуляции.

Альтернативой эмуляции является симуляция. Для симуляции аппаратного обеспечения, как правило, используются такие продукты как Synopsys VCS, Mentor ModelSim или Cadence Incisive. Во всех случаях проект описывается на HDL (Hardware Description Language) – VHDL или Verilog. Эти управляемые событиями модели компилируются и исполняются с тестбенчами. Такие системы моделируют серии событий, которые происходят асинхронно. Ускорение может быть достигнуто за счет синхронного моделирования, которое игнорирует временные соотношения и симулирует логику, отбрасывающую внутри каждого цикла. По сравнению с событийным моделированием поцикловое моделирование может ускорить выполнение в 10-50 раз.

Что касается программного обеспечения, то оно может быть скомпилировано и выполняться на хост-компьютере, где происходит симуляция. Такая модель не может быть точной, поскольку исполняется на другой целевой системе. Альтернативный подход – использо-

вание ISS (Instruction Set Simulator) симуляторов поведения центрального процессора на уровне команд. ISS обычно отображает все регистры процессора и состояние системы и является полной моделью целевого процессора. ISS выполняет циклы "выборка-декодирование-исполнение" для целевого процессора на хост-процессоре. Механизм, который связывает симуляторы программного и аппаратного обеспечения называется BFM (Bus Functional Model) или BIM (Bus Interface Model). Модель процессора связывается с проектом на уровне контактов. Специальная служба обеспечивает временные синхронизации. Проблемы таких систем заключаются в том, что событийный симулятор тратит огромное количество времени на симуляцию взаимодействия центрального процессора и оперативной памяти (выборка инструкций, чтение/запись памяти, операции ввод-вывода для периферийных устройств, отображенных на память).

Mentor предлагает Seamless для совместной HW/SW верификации и использует Coherent Memory Server для сокращения времени на симуляцию взаимодействия ЦП и ОП. Пользователь может переключаться между режимами симуляции взаимодействия ЦП/ОП – логическим симулятором для повышения адекватности или Seamless для повышения производительности.

Seamless поддерживает модели более 100 микропроцессоров и DSP. Mentor приводит пример, когда Seamless симулирует загрузку LynxOS за 9 минут вместо 233 часов той же работы при симуляции RTL. Seamless позволяет достичь скорости симуляции от 10,000 до 75,000 инструкций в секунду, в зависимости от скорости ISS. Совместная симуляция программного и аппаратного обеспечения обычно обеспечивает скорость от 1,000 до 5,000 инструкций в секунду.

Abstract. The paper presents analytical view of tendencies and prospects of EDA tools for HW/SW co-development of multicore SoCs.

Гомельский государственный
университет им. Ф. Скорины

Поступило 6.04.04

РЕПОЗИТОРИЙ ГГУ ИМЕНИ Ф. СКОРИНЫ